



## MAGNETIC RANDOM ACCESS MEMORY HAVING LAMINATED MEMORY CELLS AND ITS MANUFACTURE

**Patent number:** JP10116490  
**Publication date:** 1998-05-06  
**Inventor:** TEHRANI SAIED N; ZHU XIAODONG T; CHEN  
EUGENE; GORONKIN HERBERT  
**Applicant:** MOTOROLA INC  
**Classification:**  
- **international:** **G11C11/14; G11C11/02; (IPC1-7): G11C11/15**  
- **europaen:** G11C11/14  
**Application number:** JP19970231784 19970813  
**Priority number(s):** US19960702781 19960823

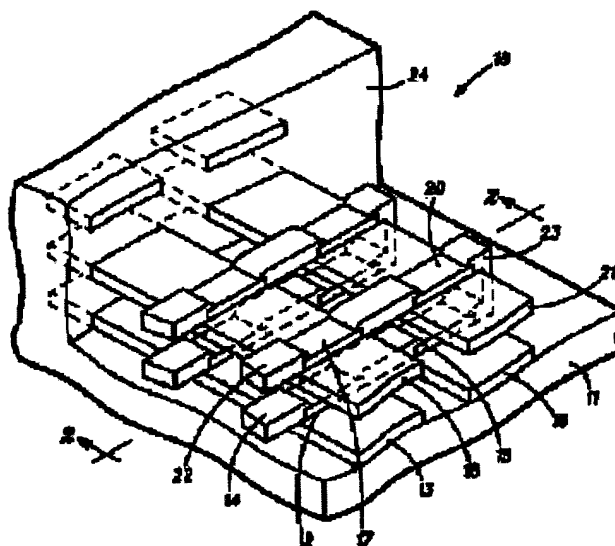
Also published as:

 US5920500 (A1)  
 DE19726852 (A1)

[Report a data error here](#)

### Abstract of JP10116490

**PROBLEM TO BE SOLVED:** To provide a magnetic random access memory making the density of a memory cell higher and reducing the power consumption. **SOLUTION:** The magnetic random access memory 10 has plural laminated memory cells on a semiconductor substrate 11 and each memory cell has basically a magnetic material part 12, a word line 13 and a sense line 22. A higher order sense line 22 is electrically coupled to a lower order sense line 12 by ohmic contact through a lead line 23. In order to read out and store a state in the memory cell, by activating the lower and higher order lines 13, 18, all magnetic fields are imparted to the magnetic material part 12. In the magnetic random access memory 10, this laminated memory structure increases a number of the memory cells integrated on the semiconductor substrate 11.



Data supplied from the **esp@cenet** database - Worldwide



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-116490

(43) 公開日 平成10年(1998) 5月6日

(51) Int.Cl.<sup>6</sup>  
G 1 1 C 11/15

識別記号

F I  
G 1 1 C 11/15

審査請求 未請求 請求項の数 4 F D (全 6 頁)

(21) 出願番号 特願平9-231784

(22) 出願日 平成9年(1997) 8月13日

(31) 優先権主張番号 7 0 2 7 8 1

(32) 優先日 1996年 8月23日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド  
MOTOROLA INCORPORAT  
RED

アメリカ合衆国イリノイ州シャンパーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 セイド・エヌ・テラニ

アメリカ合衆国アリゾナ州テンピ、イース  
ト・パロミノ・ドライブ1917

(72) 発明者 クシアオドン・グ・ティー・ズー

アメリカ合衆国アリゾナ州チャンドラー、  
ノース・コンGRESS・ドライブ1351

(74) 代理人 弁理士 大貫 進介 (外 1 名)

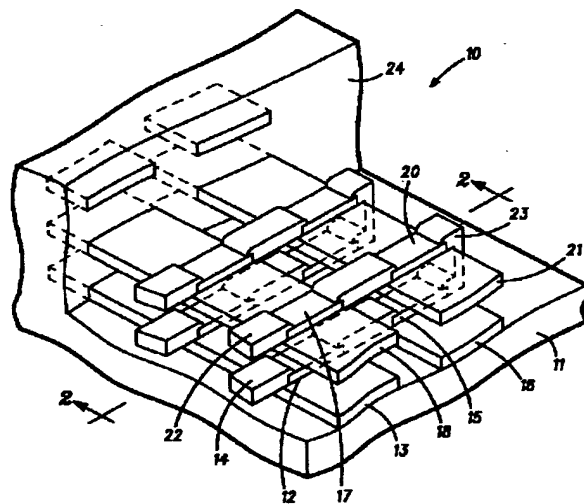
最終頁に続く

(54) 【発明の名称】 積層メモリ・セルを有する磁気ランダム・アクセス・メモリおよびその製造方法

(57) 【要約】

【課題】 メモリ・セルの密度を高めしかも電力消費の低減を図った磁気ランダム・アクセス・メモリを提供する。

【解決手段】 磁気ランダム・アクセス・メモリ (10) は、半導体基板 (11) 上に複数の積層メモリ・セルを有し、各メモリ・セルは、磁性体部分 (12)、ワード・ライン (13)、およびセンス・ライン (14) を基本的に有する。上位センス・ライン (22) は、オーミック・コンタクトによって、導線 (23) を通じて下位センス・ライン (12) に電気的に結合されている。メモリ・セル内において状態の読み出しおよび格納を行うには、下位および上位ワード・ライン (13、18) を活性化することにより、全磁場を磁性体部分 (12) に印加する。この積層メモリ構造は、磁気ランダム・アクセス・メモリ (10) において、半導体基板 (11) 上に集積するメモリ・セルの増大を可能にする。



## 【特許請求の範囲】

【請求項1】 積層メモリ・セルを有する磁気ランダム・アクセス・メモリ(10)であって：半導体基板(11)；および前記半導体基板上に、一方が他方の上に位置する関係で積層された複数のメモリ・セルであって、状態を格納する磁性体部分(12)，前記磁性体部分に隣接し、前記磁性体部分に磁場を印加するワード電流を供給するワード・ライン(13)，および前記磁性体物質内に格納されている状態を検出するセンス電流を供給するセンス・ライン(14)を各々が有するメモリ・セル；から成ることを特徴とする磁気ランダム・アクセス・メモリ(10)。

【請求項2】 積層メモリ・セルを有する磁気ランダム・アクセス・メモリ(50)であって：半導体基板(11)；および前記半導体基板上に、一方が他方の上に位置する関係で積層された複数のメモリ・セルであって、状態を格納する磁性体部分(51)，前記磁性体部分に隣接し、前記磁性体部分に磁場を印加するワード電流を供給するワード・ライン(55)，前記磁性体部分に隣接し、前記部分に格納されている状態を検出するセンス電流を供給するセンス・ライン(59)，および前記ワード・ラインに隣接し、前記ワード電流によって発生される磁束を集中させる磁束集中器(61)を各々が有するメモリ・セル；から成ることを特徴とする磁気ランダム・アクセス・メモリ(50)。

【請求項3】 積層メモリ・セルを有する磁気ランダム・アクセス・メモリの製造方法であって：半導体基板(11)を用意する段階；状態を格納する第1磁性体部分(12)，前記第1磁性体部分に隣接し、第1ワード電流を供給するワード・ライン(13)，および前記第1磁性体物質内に格納されている状態を検出するセンス電流を供給するセンス・ライン(14)を有する第1メモリ・セルを、前記半導体基板上に形成する段階；状態を格納する第2磁性体部分(17)，前記第2磁性体部分に隣接し、第2ワード電流を供給する第2ワード・ライン(18)，および前記第2磁性体部分に格納されている状態を検出する前記センス電流を供給する第2センス・ライン(22)を有する第2メモリ・セルを、前記第1メモリ・セル上に形成する段階；および前記第1および第2センス・ライン間を電氣的に結合する導線(23)を形成する段階；から成ることを特徴とする方法。

【請求項4】 積層メモリ・セルを有する磁気ランダム・アクセス・メモリ(50)の製造方法であって：半導体基板(11)を用意する段階；状態を格納する第1磁性体部分(51)，前記第1磁性体部分に隣接し、前記第1磁性体部分に第1磁場を印加する第1ワード電流を供給する第1ワード・ライン(55)，前記第1磁性体部分に格納されている状態を検出するセンス電流を供給する第1センス・ライン(59)，および前記第1ワード・ラインに隣接し、前記第1ワード電流によって発生さ

れる磁束を集中させる第1磁束集中器(61)を含む第1メモリ・セルを前記半導体基板上に形成する段階；状態を格納する第2磁性体部分(53)，前記第2磁性体部分に隣接し、前記第2磁性体部分に第2磁場を印加する第2ワード電流を供給する第2ワード・ライン(57)，前記第2磁性体部分に格納されている状態を検出する前記センス電流を供給する第2のセンス・ライン(60)，および前記第2ワード・ラインに隣接し、前記第2ワード電流によって発生される磁束を集中させる第2磁束集中器(63)を含む第2メモリ・セルを前記半導体基板上に形成する段階；および前記第1および第2センス・ライン間を電氣的に結合する導線(65)を形成する段階；から成ることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、磁気ランダム・アクセス・メモリおよびその製造方法に関し、更に特定すれば、一方が他方の上に位置する関係で各メモリ・セルを積層した磁気ランダム・アクセス・メモリおよびその製造方法に関するものである。

## 【0002】

【従来の技術】これまで多くのタイプの不揮発性メモリ素子が研究され開発されてきた。磁気ランダム・アクセス・メモリ(MRAM)は、放射線に対する堅牢性(hardness)に特徴がある、不揮発性メモリ素子の1つとして開発された。MRAM内のメモリ・セルは、基本的に、ワード・ライン、センス・ライン、および典型的に巨大磁気抵抗(GMR)物質である、磁気抵抗物質の部分を有し、これらの全ては半導体基板上に形成される。ワード・ラインは、センス・ラインに対して垂直に製造され、GMR物質部分は、ワード・ラインおよびセンス・ラインの交差点に配置される。GMR物質部分は、状態「0」および「1」として情報を格納する。これらの状態は、GMR物質内における磁気ベクトルの方向に対応する。メモリ・セル内において状態の格納および変更を行うには、GMR物質部分に、所定のスレシホールド・レベルより高い磁場を印加する。ワード電流によって発生される磁場が、センス電流によって発生される磁場と結合し、この全磁場がGMR物質部分に印加され、状態の読み出しおよび格納が行われる。GMR物質の抵抗は、磁気ベクトルの方向に応じて交互に変化するので、メモリ・セルに格納されている状態を読み出すには、センス・ラインの出力端子における電圧差を検出する。

## 【0003】

【発明が解決しようとする課題】従来のMRAMは、半導体基板上に複数のメモリ・セルを集積する。メモリ・セルは平面上に配列され、しかもメモリ・セルはある程度の面積を必要とするので、基板上に集積されるメモリ・セルの数には限度がある。

【0004】したがって、本発明の目的は、メモリ・セ

ルの密度が高い、新規で改良された磁気ランダム・アクセス・メモリを提供することである。

【0005】本発明の他の目的は、密度が高くしかも電力消費が少ない、新規で改良された磁気ランダム・アクセス・メモリを提供することである。

【0006】

【課題を解決するための手段】この要望およびその他の要望は、半導体基板上に一方が他方の上に位置する関係で積層された複数のメモリ・セルを有するMRAMの提供によって、ほぼ満たされる。各メモリ・セルはGMR物質部分、ワード・ライン、および当該メモリ・セルの上に位置する他のメモリ・セルのセンス・ラインに導体によって結合されているセンス・ラインを有する。GMR物質部分は状態を格納する。GMR物質部分に隣接するワード・ラインはワード電流を供給し、このGMR物質部分に磁場を印加する。センス・ラインはGMR物質部分に電気的に結合され、センス電流を供給する。このセンス電流は、GMR物質部分に格納されている状態を検出する。

【0007】

【発明の実施の形態】図1はMRAM10の一部を示す簡略拡大斜視図であり、図2は、本発明の実施例による、図1の線2-2から見たMRAM10の断面図である。図1と同一参照番号を有する図2の素子は、対応する図1の素子と同一である。

【0008】図1に示すMRAM10は8個のメモリ・セルを含み、半導体基板11上において2つの層によって積層されているが、これより多い層によって積層してもよい。簡略化のために、同一センス・ラインに接続されている4つのメモリ・セルについてこれより説明することにする。MRAM10内の各メモリ・セルは、GMR物質部分、ワード・ライン、およびセンス・ラインを有する。GMR物質は、典型的に、ニッケルまたは鉄またはコバルト、あるいはパラジウムまたはプラチナを有する合金を含むこれらの合金のような磁性体で構成されている。ワード・ラインおよびセンス・ラインは、アルミニウムまたは銅あるいはこれらの合金のような導電性物質で作られている。第1メモリ・セルは、磁気メモリの第1部分12、第1ワード・ライン13、およびセンス・ライン14を有する。第2、第3および第4メモリ・セルは、第2、第3および第4GMR物質部分15、17、20、第2、第3および第4ワード・ライン16、18、21、およびセンス・ライン22を同様に有する。下位センス・ライン14は、接触によりGMR物質部分12、15に電気的に接続されており、導電性物質を利用した導線23を通じて上位センス・ライン22に結合されている。センス電流は、センス・ライン14、22、およびGMR物質部分12、15、17、20を通過し、抵抗を検出する。各ワード・ラインは、GMR物質部分12、15、17、20に隣接して配置さ

れ、ワード電流によって発生される磁場を、GMR物質部分12、15、17、20に印加する。これらの素子全ての間には誘電体物質24が充填され、電気的絶縁を与える。

【0009】図2を参照すると、シリコンのような半導体基板11上に形成された第1および第2ワード・ライン13、16は、半導体基板11上に堆積された金属に選択的エッチングを行うことによって形成される。金属は、例えば、アルミニウム(Al)、銅(Cu)、これらの合金( $Al_{1-x}Cu_x$ )またはタングステン(W)から選択する。第1誘電体層25は、二酸化シリコン( $SiO_2$ )または窒化シリコン( $Si_3N_4$ )であり、化学蒸着技法によって堆積され、第1および第2ワード・ライン13、16を被覆する。誘電体層25の上面を研磨して平面とした後、第1および第2GMR物質部分12、15およびセンス・ライン14を、誘電体層25の表面上に形成する。第1および第2GMR物質部分12、15は、以下のプロセスにしたがって形成する。まず、誘電体層25上にGMR層を堆積し、誘電体マスク層を堆積し、リソグラフィを用いてパターンニングすることにより、GMR物質用エッチ・マスクを形成する。次に、GMR層にエッチングを行い、第1および第2GMR物質部分を形成し、次いでエッチ・マスクを除去する。

【0010】下位即ち第1センス・ライン14は、例えば、アルミニウム(Al)、銅(Cu)、またはこれらの合金( $Al_{1-x}Cu_x$ )で作られ、オーミック・コンタクトにより、GMR物質部分12、15に電気的に接続されている。センス・ライン14のための金属を誘電体層25の表面上に堆積し、次に、パターンニングされているエッチ・マスクを用いて、誘電体層25上でセンス・ライン14にエッチングを行う。GMR物質部分12、15および下位センス・ライン14を形成した後、誘電体層26を堆積し、GMR物質部分12、15および下位センス・ライン14を被覆する。

【0011】第1および第2ワード・ライン13、16と同じプロセスにしたがって第3および第4ワード・ライン18、21を誘電体層26上に形成する前に、誘電体層26の上面を研磨して平面とする。誘電体層27を堆積して第3および第4ワード・ライン18、21を被覆し、次いで、GMR物質部分12、15および下位センス・ライン14と同じプロセスによって、GMR物質部分17、20および上位センス・ライン22を誘電体層27上に形成する。

【0012】ここで図1および図2に示すのは、異なるレベルのセンス・ラインを接続し、同一のトランジスタ・スイッチを用いることを意図したのであるが、異なるレベルのセンス・ラインに異なるセンス・トランジスタ(図示せず)を用いる場合、異なるレベル間でセンス・ラインを接続する必要がないことは、指摘に値する。上

位センス・ライン22は、導線23を通じて、下位センス・ライン14に結合されている。導線23は、例えば、銅(Cu)およびタングステン(W)のような導電性金属である。導線23は、以下のプロセスにしたがって形成される。まず、下位センス・ライン14と通信するコンタクト・ホールまたはバイアを、反応性イオン・エッチングによって、選択的にかつ垂直方向にエッチングする。次に、先に示した金属をコンタクト・ホールに充填し、下位および上位センス・ライン14、22との接点を形成する。接点ライン23を形成した後、誘電体層28を堆積し、GMR物質部分17、上位センス・ライン22および接点ライン23を被覆する。次に、誘電体層28の上面を研磨して平面とし、誘電体層28の上に第5および第6ワード・ライン29、30を形成する。その後、誘電体層31を堆積して、第5および第6ワード・ライン29、30を被覆する。

【0013】第5誘電体層29上に更にメモリ・セルを形成し積層する場合、上述のプロセスを繰り返して、GMR物質部分、ワード・ライン、センス・ライン、導線、および誘電体層を形成する。

【0014】動作の間、第1、第2、第3、および第4メモリ・セルにおける状態を読み出すためには、ワード電流をワード・ラインに印加し、センス・ラインから電圧を検出する。例えば、第1メモリ・セルの状態を読み出すためには、GMR物質部分12が間に位置する第1および第3ワード・ライン13、18にワード電流を印加し、センス・ライン14、22から電圧を検出する。この場合、センス電流は導線23を通じて流れる。ワード・ライン13におけるワード電流の方向は、ワード・ライン18におけるワード電流の方向とは逆であるので、ワード電流によって発生される磁場は、同一方向でGMR物質部分12に印加される。第1メモリ・セルに状態を格納するためには、例えば、第1および第3ワード・ライン13、18にワード電流を印加し、磁場を発生させる。この磁場は十分に大きく、GMR物質部分12における磁気ベクトルの方向に変化をもたらす。上述のように、GMR物質部分に隣接する2本のワード・ラインは、同一電流を用いて活性化し状態の読み出しおよび格納を行うため、双方のワード電流によって発生される磁場がGMR物質部分12に重なり合うので、必要なワード電流は少なくて済む。

【0015】図3は、本発明の第2実施例によるMRAM32の簡略拡大断面図である。図2と同一の参照番号を有する図3の要素は、対応する図2の要素と同一または同等である。また、図2と同一の参照番号を有する図3の素子は、対応する図2のプロセスと同一または同等のプロセスによって製造される。

【0016】図3および図2に示す両構造間の唯一の相違は、ワード・ラインの一部の代わりに、ディジット・ライン(digit line)が形成されていることである。図2

における第1および第2ワード・ライン13、16は、半導体基板11上において第1ディジット・ライン33に置き換えられ、図2における第5および第6ワード・ライン29、30は、第3誘電体層28上において第2ディジット・ライン34に置き換えられている。ディジット・ライン33、34は、第3および第4ワード・ライン18、21と協同して磁場を発生するために利用される。例えば、GMR物質部分12における状態を読み出すためには、ワード電流およびディジット電流を第3ワード・ライン18および第1ディジット・ライン33に印加し、磁場をGMR物質部分12に与え、第1および第2センス・ライン14、22から電圧を検出する。この場合、センス電流は、導線23を通じて流れる。状態をGMR物質部分12に格納する場合、GMR物質12における磁気ベクトルの方向を交替させるのに十分な磁場を、ワード電流およびディジット電流によって印加する。ディジット・ライン33、34はワード・ライン18、21に対して垂直であるが、ディジット電流による磁場は、ワード電流による磁場を印加した後に、GMR物質における磁気ベクトルを回転させるのを助ける。ワード電流およびディジット電流の方向は、格納すべき状態に応じて判定される。

【0017】図4は、本発明の第3実施例によるMRAM40の簡略拡大断面図である。図2と同一の参照番号を有する図4の素子は、対応する図2の素子と同一または同等である。また、図2と同一の参照番号を有する図4の素子は、対応する図2のプロセスと同一または同等のプロセスによって製造される。

【0018】図4および図2に示す両構造間の唯一の相違は、ワード・ラインの代わりにディジット・ラインが形成されていることである。図2における第3および第4ワード・ラインは、第2および第3誘電体層26、27間のディジット・ライン41によって置き換えられている。MRAM40の動作は、図3に示したMRAM32と同一である。即ち、GMR物質部分12内において状態の読み出しおよび格納を行うためには、第1ワード・ライン13およびディジット・ライン41を活性化させる。

【0019】図5は、本発明の第4実施例による、磁束集中器(flux concentrator)を有するMRAM50の簡略拡大断面図である。図5に示すMRAM50は、半導体基板11上に積み重ねられた2つの層を含み、各層は複数のメモリ・セルを有する。これら2つの層の上に、より多くの層を積み重ねてもよい。各メモリ・セルは、GMR物質部分51、52、53、54、ワード・ライン55、56、57、58、下位および上位センス・ライン59、60、ならびに磁束集中器61、62、63、64を有する。下位センス・ライン59は、接触によって、導線65を通じて上位センス・ライン60に電気的に結合されている。

【0020】第1誘電体層66をシリコン(Si)のような半導体基板11上に堆積する。GMR物質部分51, 52および下位センス・ライン59を、第1誘電体層66の上面上に形成し、次いで第2誘電体層67を堆積し、GMR物質部分51, 52および下位センス・ライン59を被覆する。第1および第2ワード・ライン55, 56を第2誘電体層67上に形成し、次に、第1および第2ワード・ライン55, 56上に第1および第2磁束集中器61, 62を形成し、その後、第3誘電体層68を堆積し、第1および第2ワード・ライン55, 56ならびに第1および第2磁束集中器61, 62を被覆する。本実施例では、第1および第2磁束集中器61, 62が第1および第2ワード・ライン55, 56上に形成されているが、第1および第2磁束集中器61, 62は、ワード電流によって発生される磁束を集中させることができれば、どこに配置してもよい。下位層および上位層からの磁場が他のGMR物質に磁氣的に影響を与えない厚さに、第3誘電体層68を堆積する。

【0021】第1センス・ライン60を形成した後、図2に示した第2実施例と同一プロセスによって、導線65を垂直に形成し下位および上位センス・ライン59, 60間を電氣的に結合する。第4誘電体層69を堆積し、GMR物質部分53, 54, 上位センス・ライン60, および導線65を被覆する。第3および第4ワード・ライン57, 58, ならびに第3および第4磁束集中器63, 64を第4誘電体層69上に形成し、その後、第5誘電体層70を堆積して、これらを被覆する。磁束集中器61, 62, 63, 64は、パーマロイのような透磁性を有する磁性体で形成される。したがって、GMR物質内にはより多くの磁束が集中するので、磁束集中器は、必要なワード電流を減少させることになる。更に、ワード電流による電力消費も減少させることができる。

【0022】以上、新規で改良されたMRAMおよびその製造方法を開示した。積層メモリ・セルは、より多くのメモリ・セルを半導体チップ上に集積し、高密度のM

RAM素子を達成可能とする。更に、磁束集中器を有するMRAMは必要なワード電流が少なく済むので、全体としての電力消費も減少する。

【図面の簡単な説明】

【図1】本発明によるMRAMの一部を示す簡略拡大斜視図。

【図2】本発明の実施例による、図1の線2-2から見た、MRAMの簡略拡大断面図。

【図3】本発明の他の実施例による、MRAMの簡略拡大断面図。

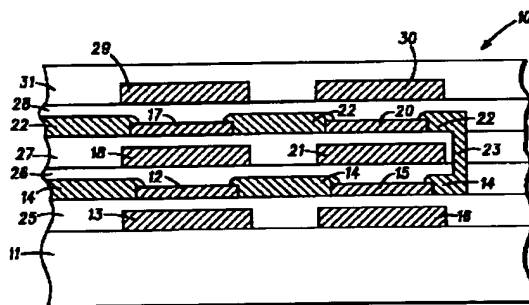
【図4】本発明の更に他の実施例による、MRAMの簡略拡大断面図。

【図5】本発明の更に別の実施例による、磁束集中器を有するMRAMの簡略拡大断面図。

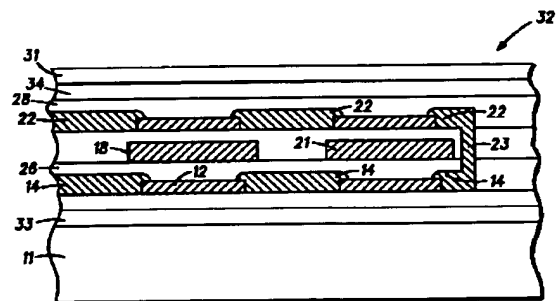
【符号の説明】

- 10 MRAM
- 11 半導体基板
- 12, 15, 17, 20 GMR物質部分
- 13, 16, 18, 21, 29, 30 ワード・ライン
- 14, 22 センス・ライン
- 23 導線
- 24, 25, 26, 27, 28, 31 誘電体物質
- 32 MRAM
- 33, 34 デジット・ライン
- 40 MRAM
- 41 デジット・ライン
- 50 MRAM
- 51, 52, 53, 54 GMR物質部分
- 55, 56, 57, 58 ワード・ライン
- 59, 60 センス・ライン
- 61, 62, 63, 64 磁束集中器
- 65 導線
- 66, 67, 68, 70 誘電体層

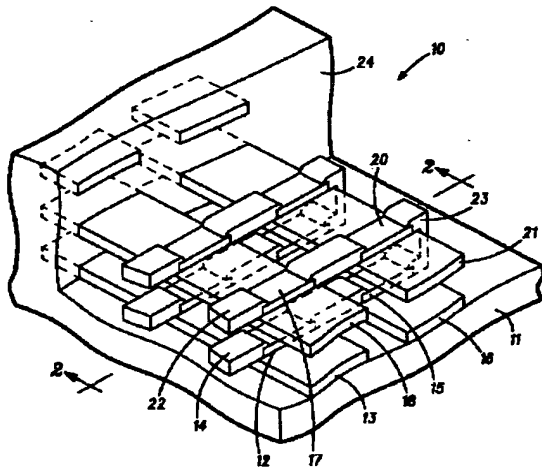
【図2】



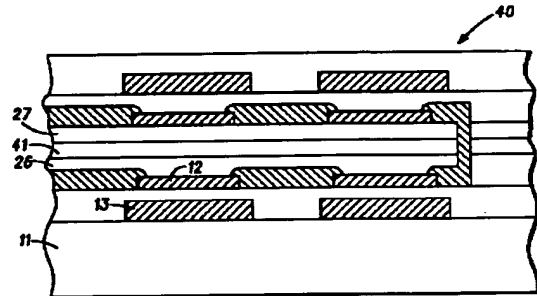
【図3】



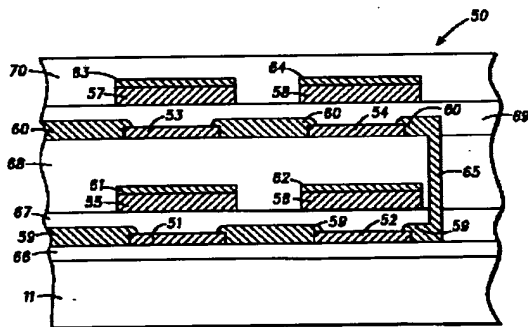
【図1】



【図4】



【図5】



フロントページの続き

(72)発明者 ユージーン・チェン  
アメリカ合衆国アリゾナ州ギルバート、ウ  
エスト・シェリー・ドライブ1143

(72)発明者 ハーバート・ゴロンキン  
アメリカ合衆国アリゾナ州テンピ、サウ  
ス・カッチーナ・ドライブ8623